

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-276664

(43)Date of publication of application : 01.10.1992

(51)Int.Cl.

H01L 29/804

(21)Application number : 03-063864

(71)Applicant : TOYOTA CENTRAL RES & DEV LAB  
INC

(22)Date of filing : 04.03.1991

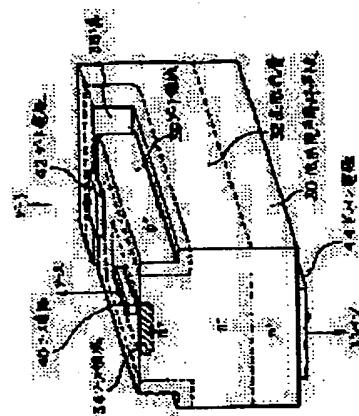
(72)Inventor : ISHIKO MASAYASU  
TADANO HIROSHI

## (54) ELECTROSTATIC INDUCTION TYPE SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To obtain an electrostatic induction type semiconductor device which can obtain a high current-amplification factor, which is small-sized and which is provided with a sufficient OFF withstand voltage.

CONSTITUTION: A source region 34 of a first conductivity type is formed on the surface of a high-resistance layer 32 at a semiconductor substrate 30; a gate region 36 of a second conductivity type is formed so as to surround the source region 34. A groove 38 is formed in said high-resistance layer 32 so as to surround the source region 34; said gate region 36 is arranged at the inside of said groove 38.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-276664

(43) 公開日 平成4年(1992)10月1日

(51) Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/804

7739-4M

H 0 1 L 29/80

V

審査請求 未請求 請求項の数3 (全 9 頁)

(21) 出願番号

特願平3-63864

(22) 出願日

平成3年(1991)3月4日

(71) 出願人 000003609

株式会社豊田中央研究所

愛知県愛知郡長久手町大字長湫字横道41番  
地の1

(72) 発明者 石子 雅康

愛知県愛知郡長久手町大字長湫字横道41番  
地の1 株式会社豊田中央研究所内

(72) 発明者 只野 博

愛知県愛知郡長久手町大字長湫字横道41番  
地の1 株式会社豊田中央研究所内

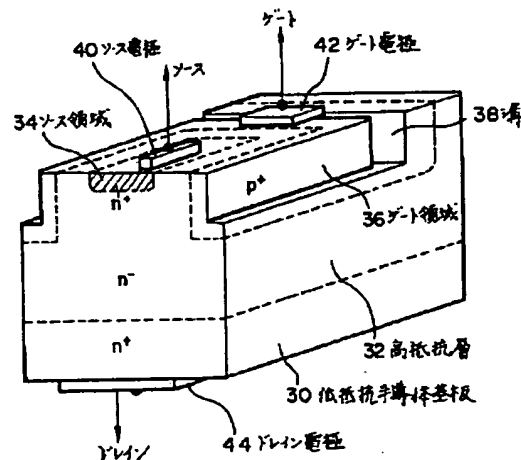
(74) 代理人 弁理士 布施 行夫 (外2名)

(54) 【発明の名称】 静電誘導形半導体装置

(57) 【要約】

【目的】 高い電流増幅率が得られ、小型で十分なオフ耐圧を有する静電誘導形半導体装置を得ること。

【構成】 半導体基板30の高抵抗層32の表面に第1導電型のソース領域34を形成し、このソース領域34を囲むよう第2導電型のゲート領域36を設ける。そして、前記高抵抗層32に、ソース領域34を囲むよう溝38を形成し、前記ゲート領域36を前記溝38の内側に配置した。



## 【特許請求の範囲】

【請求項1】 半導体基板の一方の表面部に設けられた第1導電型のソース領域と、前記半導体基板に前記ソース領域を囲むよう設けられた第2導電型のゲート領域と、を有する静電誘導形半導体装置において、前記半導体基板の一方の表面部に前記ソース領域を囲むよう溝を形成し、前記ゲート領域は、前記溝の内側壁から底部にかけての領域の全部又はその一部に配置したことを特徴とする静電誘導形半導体装置。

【請求項2】 請求項1において、前記ソース領域は、半導体基板の高抵抗層の表面部に形成され、前記溝は、前記高抵抗層に前記ソース領域を囲むよう形成され、前記ゲート領域は、前記溝の内側壁の下方または底部に設けられ、前記高抵抗層との接触面積が、前記ソース領域と前記高抵抗層との接触面積以下となるよう形成されたことを特徴とする静電誘導形半導体装置。

【請求項3】 請求項1、2のいずれかにおいて、前記ソース領域およびゲート領域の少なくとも一方を構成する半導体材料の一部または全部に、炭化珪素を用いたことを特徴とする静電誘導形半導体装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は静電誘導形半導体装置、特に高電流密度で使用される静電誘導形半導体装置の改良に関する。

【0002】

【従来の技術】 従来より、表面ゲート形の静電誘導トランジスタ (Static Induction Transistor: SIT) (以下表面ゲート形SITと記す) は、低オン抵抗の高電流スイッチング素子として用いられており、今後各種用途への幅広い適用が期待されている。

【0003】 図9には、 $n$ チャネルの表面ゲート形SIT素子の基本構造が示されている。この表面ゲート形SIT素子は、低抵抗半導体基板 ( $n^+$ ) 10上に、高抵抗 ( $n^-$ ) 層12を形成し、その上部にソース領域 ( $n^+$ ) 14を形成すると共に、ソース領域14を囲むようゲート領域 ( $p^+$ ) 16を形成している。

【0004】 そして、前記ソース領域14、ゲート領域16の表面にソース電極20、ゲート電極22を設け、さらに低抵抗半導体基板10の表面に、前記ソース領域14と対向するようドレイン電極24を設けている。

【0005】 次に、同図に示す表面ゲート形SIT素子の作用を説明する。

【0006】 この表面ゲート形SIT素子は、ゲート電極22とソース電極20とが同電位であるときは、ドレイン・ゲート間およびドレイン・ソース間には電流が流れずオフ状態に制御される。

【0007】 次に、ソース電極20を基準として、ゲートおよびドレイン電極22、24を正極性にする、ドレイン・ソース間に電流が流れ、オン状態に制御され

る。

【0008】 次に、ゲート電極22をソース電極20に対し同電位に設定するか負電位に設定すると、このSIT素子をオフ状態に戻すことができる。

【0009】 このような表面ゲート形SIT素子の作用は、以下のようにして得られると考えられている。

【0010】 すなわち、ゲート及びドレイン電極22、24を正極性にする、ゲート領域16から高抵抗 ( $n^-$ ) 層12に正孔が注入され、これにより高抵抗 ( $n^-$ ) 層12の伝導度が増大され、低抵抗化する。その結果、ソース・ドレイン間に低いオン電圧で高ドレイン電流 $I_d$ を流すことが可能なオン状態になる。また、ゲート領域16が接地あるいは負極性であると、ソース領域14の前面に形成されるポテンシャル障壁のためソース・ドレイン間は高抵抗状態、すなわちオフ状態となる。

【0011】 このように、表面ゲート形SIT素子はゲート領域16から注入される電流 (以下ゲート電流 $I_g$ と記す) により $I_d$ を制御することができる。

【0012】

【発明が解決しようとする課題】 しかし、前記従来の表面ゲート形SIT素子は、次のような問題があった。

【0013】 ① 図2に示すよう従来の表面ゲート形SIT素子は、実用的なドレイン電流領域で $I_d$ の増加とともに電流増幅率 $h_{FE}$  ( $= I_d / I_g$ ) が大きく低下するという問題がある。このように、電流増幅率が低下すると、ドレイン電流 $I_d$ の制御のために高いゲート電流値が必要となり、このゲート電流 $I_g$ の増加とともに表面ゲート形SIT素子を含む電流制御回路系全体の電力損失が増大するという問題があった。

【0014】 したがって、より実用的なドレイン電流領域で、従来の表面ゲート形SIT素子の電流増幅率が改善できれば、電力損失量を抑制でき産業上有利であり、その対策が求められている。

【0015】 ② また、表面ゲート形SIT素子を、例えば電力用半導体装置として用いた場合には、オフ状態でのソース・ドレイン間の耐圧 (以下オフ耐圧と記す) が極めて重要な因子となる。このため、従来の表面ゲート形SIT素子では、このオフ耐圧を確保するために、図9に示すよう深いゲート領域16の形成と、厚い高抵抗層12の形成が必要であった。

【0016】 しかし、従来の技術では、深いゲート領域16の形成は、深さ方向とほぼ同じ量の横方向拡散を伴う。このため、前述したよう深いゲート領域16を形成すると、素子表面積におけるゲート領域16の占有率が増大し、素子自体の単位面積が大きくなるため、その分、1枚のウエハから得られるSIT素子の個数が少なくなってしまうという問題があった。

【0017】 さらに、厚い高抵抗層12の形成は、製造コストの増大と、電流増幅率の低下を伴うという問題

があった。

#### 【0018】発明の目的

本発明は、このような従来の課題に鑑みなされたものであり、その目的は前述した課題を解決し、より高い電流増幅率が得られ、小型で十分なオフ耐圧を有する静電誘導形半導体装置を提供することにある。

#### 【0019】

#### 【課題を解決するための手段および作用】第1発明

【構成】前記課題を解決するため、本発明は、半導体基板の一方の表面部に設けられた第1導電型のソース領域と、前記半導体基板に前記ソース領域を囲むよう設けられた第2導電型のゲート領域と、を有する静電誘導形半導体装置において、前記半導体基板の一方の表面部に前記ソース領域を囲むよう溝を形成し、前記ゲート領域は、前記溝の内側壁から底部にかけての領域の全部又はその一部に配置されたことを特徴とする。

【0020】ここにおいて、前記ソース領域は、半導体基板の高抵抗層に形成することが好ましく、さらに前記溝は、高抵抗層に前記ソース領域を囲むよう形成することが好ましい。

【0021】また、本発明において、前記ゲート領域は、前記溝の内側壁の深い位置又はその底部に高濃度に形成することが、充分なオフ耐圧を有する上で好ましい。

【0022】【作用】本発明は、以上の構成からなり、次にその作用を説明する。

【0023】まず、本発明の説明をするに先だって、図9に示す従来の表面ゲート形SITの動作と構造を検討する。

【0024】図9に示すnチャネル表面ゲート形SIT素子において、そのゲート電極22に正電圧を印加した場合を考える。この場合には、ゲート領域16から高抵抗(n<sup>+</sup>)層12に正孔が注入され、その濃度が高抵抗層12のキャリア濃度と同等以上になると、高抵抗層12の抵抗が変化し、いわゆる伝導度変調の状態となる。伝導度変調された状態とは、その領域の不純物濃度より高い正孔と、電荷中性を保つよう前記正孔とほぼ同数の電子がソース領域14から注入され、高抵抗層12に定常的に存在している状態である。この状態で、ドレイン電極24に正電圧が印加されると、ソース・ドレイン間に低オン電圧で大電流を流すことができる。

【0025】ここで、 $h_{fs} = I_b / I_c$  で定義される表面ゲート形SITの電流増幅率を向上させるためには、この定義式からも明らかのように、できるだけ少ないゲート電流 $I_c$ で、できるだけ多くのドレイン電流 $I_b$ を得ることが必要となる。

【0026】このためには、第1に、少ないゲート電流 $I_c$ で強い伝導度変調を発生させること、第2に、ソース領域14に侵入する正孔を押えると同時に、ソース領域14からの電子注入を容易にすることが必要となる。

【0027】本発明者は、上記表面ゲート形SIT素子の動作と構造を注意深く検討し、本発明に至った。以下、本発明の作用を詳細に説明する。

【0028】前述したように、本発明の表面ゲート形SITは、半導体基板上に形成された高抵抗層に、ソース領域を囲むよう溝を形成し、この溝の内側壁から底部にかけての領域の全部又はその一部にゲート領域を形成することを特徴とする。

【0029】従来の技術では、深いゲート領域を、表面からの拡散で形成するため、必然的にゲート領域の横方向の拡散も顕著であった。これに対して本発明の構造とすることにより、従来素子よりゲート領域の横方向の拡散が溝に阻まれ少なくなるため、高抵抗層に接するゲート領域の面積を減少させ、かつ深い位置に高濃度のゲート領域を形成することが可能となった。すなわち、オフ耐圧を劣化させることなく高抵抗層に接するゲート領域の面積を減少させることが可能となった。その結果、高抵抗層に接するゲート領域の面積部で発生していたキャリアの再結合量を従来素子より少なくすることができ、この結果、より少ないゲート電流で伝導度変調を発生させることが可能となり、これにより電流増幅率 $h_{fs}$ が従来素子より向上したと考えられる。

【0030】また、本発明では、従来素子よりゲート領域を形成する際に横方向の拡散を抑制できるため、表面ゲート部の面積が従来素子より小さくなり、表面ゲート形SIT素子をよりコンパクトに形成することが可能となる。さらに、このように表面ゲート形SIT素子自体をコンパクトに形成できるため、その高抵抗層の体積も小さくなる。高抵抗層に侵入したゲート電流の一部は、この高抵抗層で再結合電流として消費される。このため、本発明のように高抵抗層の体積が小さくなれば再結合電流として消費されるゲート電流分は減少する。従って、本発明によれば、この面からも従来素子より少ないゲート電流で高抵抗層に伝導度変調を発生させ、電流増幅率 $h_{fs}$ を向上させることができる。

【0031】さらに、本発明の表面ゲート形SIT素子は、前述したように、従来の素子に比べ素子の単位面積を大幅に小さくし、チップ面積を大幅に小さくできることから、一枚のウエハから取出される素子数を従来より多くでき、この面からその生産性を向上させることが可能となる。さらに、集積度の向上により、従来素子に比べ単位チップ面積あたりのドレイン電流で比較すると、電流増幅率 $h_{fs}$ を向上させることが可能となった。

【0032】さらに、本発明によれば、ソース領域の周りを溝形のゲート構造とすることにより、従来素子に比べオフ耐圧を向上させることができた。その理由は、次のように考えられる。まず、ゲート間距離が短いほどゲートポテンシャルの影響を受けるため、ソース前面に形成されるポテンシャル障壁が高くなる。このポテンシャル障壁のためソースからの電子注入が抑制され、その結

果、ソース・ドレイン間がオフ状態になる。したがって、オフ耐圧を向上させるためには、前記ポテンシャル障壁を高く、厚くすることが重要である。

【0033】従来の素子は、ゲート領域の横方向拡散によりゲート間距離を調整していたため、図9に示すように表面から深くなるにしたがってゲート間距離は長くなる。この結果、従来素子は、ソース直前のポテンシャルが最も高く、ドレイン方向に進むに従って急激にポテンシャルが低下する。すなわち、ゲート領域を深く形成しなければポテンシャル障壁の厚さが薄くなるためオフ耐圧が低下した。これに対して本発明によれば、ソース領域の周りを溝状のゲート構造として、この溝の内側にゲート領域を設けることにより、ゲート間距離をほぼ一定に保つことができるため、ポテンシャル障壁の厚みを厚くすることができる。この結果、本発明はオフ耐圧を従来素子より改善できたと考えられる。

【0034】特に、本発明によれば、ソース領域を囲む溝を利用し、この溝の表面の所望位置からゲート領域を拡散で形成することができる。従って、この溝の内側壁の深い位置や、底面に、例えば第6図に示すようゲート領域を形成することにより、高抵抗層に接するゲート領域の面積をより減少させることができ、これにより、オフ耐圧を劣化させることなく電流増幅率 $h_{fs}$ をより向上させることが可能となる。

【0035】【発明の効果】以上説明したように、本発明に係る静電誘導形半導体装置によれば、従来の装置に比べ以下の効果を得ることができる。

【0036】① 従来の静電誘導形半導体装置に比べ高い電流増幅率が得られる。

【0037】② 装置自体の大きさを小さくできるため、ウエハから取り出せる静電誘導形半導体装置の個数を従来より多くし、その生産性を高めることができる。

【0038】③ 従来の静電誘導形半導体装置に比べ、ソース・ドレイン間のオフ耐圧を改善することができる。

【0039】④ 従来の静電誘導形半導体装置を用いた電流制御回路系に比べ、電力損失量を小さくすることができ、この結果、この装置を用いた産業機械のエネルギー効率を向上させることができる。

#### 【0040】第2発明

第2の発明の静電誘導形半導体装置（請求項2）は、前記ソース領域を、半導体基板の高抵抗層の表面部に形成し、前記溝を、高抵抗層に前記ソース領域を囲むよう形成し、前記ゲート領域は、前記溝の内側壁の下方または底部に設けられ、前記高抵抗層との接触面積が、前記ソース領域と前記高抵抗層との接触面積以下となるよう形成したことを特徴とする。

【0041】すなわち、この第2の発明は、ゲート領域の面積がソース領域の面積を越えない構造に形成されている。従来、ソースからドレインに流れる電子による電

流の一部がゲート領域に流れていた。本発明が提供する手段により、ソースからゲートに流れる成分を低減することが可能となる。その結果、ゲート電流に対するドレイン電流の変化、すなわち電流増幅率を従来の素子より改善することが可能となった。

【0042】さらに、この第2の発明によれば、ゲート・ソース間の距離が長くとれるようになった。よってゲート・ソース間の耐圧が第1発明より改善できた。その結果、ゲートへ負のサージ入力があったときでも、破壊にいたることがない。

#### 【0043】他の説明

第3の発明の静電誘導形半導体装置（請求項3）は、前記ソース領域およびゲート領域の少なくとも一方を構成する半導体材料の一部または全部に、炭化珪素を用いたことを特徴とする。すなわち、本発明の特徴は、ソースあるいはゲート領域の少なくとも一方を形成する半導体の材料として、その一部あるいはすべてを、高抵抗層よりバンドギャップが広く、抵抗の低い炭化珪素を用いることである。

【0044】炭化珪素は、シリコンやゲルマニウムに比べバンドギャップが広いため、例えば図10に示すように適当な接合条件の下では価電子帯域あるいは伝導帯が不連続になる。ここで、 $E_{11}$ は炭化珪素のバンドギャップ、 $E_1$ 、 $E_2$ はシリコンやゲルマニウムなどのバンドギャップを示す。この接合面における不連続性を適当な条件で使用すると、図10に示すように、電子に対してはオーミックであるが、正孔に対しては障壁を持っている $a-a'$ 接合面や、その逆に電子に対してだけ障壁を有する $b-b'$ 接合面が得られることが明らかになっている。ここにおいて、 $E_h$ は $a-a'$ 面における価電子帯の不連続幅、 $E_e$ は $b-b'$ 面における伝導帯の不連続幅である。 $E_h$ は正孔に対して障壁となり、 $E_2$ 側からの正孔注入が制御される。 $E_e$ についても同様である。

【0045】上記の価電子帯域あるいは伝導帯の不連続性を、例えば表面ゲート形SIT素子のソース領域に使用すると、次のような効果が得られる。すなわちゲート領域より注入された正孔はソース領域界面に形成される価電子帯の不連続性すなわち正孔に対するポテンシャル障壁のためにソース領域に侵入して消滅する確率が低下する。この結果、 $n^-$ 層のキャリア濃度が高くなり、従来より低いゲート電流で十分伝導度変調を発生させることが可能となる。また、炭化珪素薄膜を挿入してもソース領域からの電子注入を妨げるものでないからドレイン電流に与える影響はない。これにより電流増幅率 $h_{fs}$ が向上する。また、例えば高抵抗層が $n^-$ 層として形成される場合には、前記ゲート領域の一部あるいは全部に抵抗の低いp形炭化珪素薄膜を使用することにより、前述と同様な理由によりソースから注入された電子が、ゲート領域に侵入して消滅する確率が低下する。その結果、

従来より低いゲート電流で同程度のドレイン電流を得ることが可能となる。すなわち、p形炭化珪素薄膜をゲート領域に使用しても、電流増幅率 $h_{fs}$ を向上させることができた。

【0046】また、本発明ではnチャネルの表面ゲート形SIT素子以外にも、pチャネルの表面ゲート形SIT素子でも同じ効果を得ることができる。

【0047】

【実施例】次に、本発明の好適な実施例を図面に基づき詳細に説明する。

#### 【0048】第1実施例

図1には、本発明に係るnチャネル表面ゲート形SIT素子の基本構造が示され、実施例のSIT素子は、低抵抗半導体基板30としてn<sup>+</sup>層を用い、この低抵抗半導体基板30上に、高抵抗層32として20 $\mu$ mの厚さのn<sup>-</sup>層が形成されている。この高抵抗層32の上部には、第1導電形としてn<sup>+</sup>のソース領域34が形成されている。このソース領域34は、接合深さ（以下x<sub>j</sub>と略記する）が0.8 $\mu$ m、その幅が3 $\mu$ m、その奥行きが10 $\mu$ mに形成されている。

【0049】そして、前記高抵抗層32に、前記ソース領域34を囲むよう深さ4 $\mu$ m、幅3 $\mu$ mの溝38が形成され、この溝38の内側面に第2導電形としてp<sup>+</sup>のゲート領域36が形成されている。

【0050】すなわち、本実施例では、ソース領域34を囲む溝38を利用し、この溝38の内側面表面からゲート領域36が拡散で形成されている。ここにおいて、ゲート領域36の接合面とソース領域34との間の距離は2 $\mu$ mであり、ゲート領域36の接合深さはx<sub>j</sub>=1.5 $\mu$ mに形成されている。

【0051】そして、前記ソース領域40、ゲート領域36の表面にはソース電極40、ゲート電極42が設けられ、さらに低抵抗半導体基板30の表面にはソース電極40と対向するようドレイン電極44が設けられている。

【0052】図2には、実施例の表面ゲート形SIT素子および図9に示す従来の表面ゲート形SIT素子の、ドレイン電流と電流増幅率との関係が示されている。ここにおいて、100は本実施例に係るSIT素子の特性、110は本実施例と同じ素子サイズを有する従来のSIT素子の特性を示す。

【0053】同図から明らかなように本実施例のSIT素子は、従来品に比べ約50%その電流増幅率が向上している。

【0054】また、本実施例のSIT素子と、本実施例と同じサイズの従来のSIT素子とのオフ耐圧を比較したところ、従来の素子は250V程度であったが、本実施例に係る素子は350V前後を示すことが実験により確認された。

【0055】以上説明したように、本実施例に係る表面

ゲート形SIT素子は、従来品よりも電流増幅率 $h_{fs}$ が優れ、さらに十分なオフ耐圧を有することが理解されよう。

【0056】また、本実施例に係る表面ゲート形SITは、図3に示すよう、前記SIT素子の単位構造を多数並列接続した、いわゆるマルチチャネル構造にしても同様な効果が得られる。

【0057】なお、本発明は前記実施例に限定されることなく、種々の使用目的に応じて、例えば高抵抗層32として形成されたn<sup>-</sup>層の厚さ、ソースおよびゲート領域の面積、厚さなどを適宜変更してもよい。また、nチャネル表面ゲート形SITに限らず、ソース、ドレイン及びゲートの伝導形を逆にしたpチャネル表面ゲート形SITにおいても、本発明による効果を同様に得ることができる。

#### 【0058】第2実施例

図4には、本発明に係るnチャネル表面ゲート形SIT素子の好適な第2実施例の基本構造が示されている。なお、前記第1実施例と対応する部材には同一符号を付しその説明は省略する。

【0059】本実施例の特徴は、高抵抗層32の表面にソース領域34を設け、このソース領域34を、厚さ0.1 $\mu$ mのn<sup>+</sup>の炭化珪素（以下SiCと記す）34aと、n<sup>+</sup>の多結晶シリコン34bとを用いて構成したことにある。なお、実施例のゲート領域44の接合深さはx<sub>j</sub>=1.5 $\mu$ mで、n<sup>+</sup>の低抵抗半導体基板32や、n<sup>-</sup>の高抵抗層32にはシリコンを使用している。

【0060】図5には、本実施例に係る表面ゲート形SIT素子及び本実施例と同じ素子サイズの従来の表面ゲート形SIT素子の、ドレイン電流I<sub>d</sub>と電流増幅率 $h_{fs}$ との関係が示されている。ここに於いて、100は実施例に係る素子の特性を示し、110は従来品の特性を示している。

【0061】同図から明らかなように、本実施例に係るSIT素子は、従来品より60%程度電流増幅率が向上している。ソース領域34をSiCとすることにより、従来よりソース領域前面に形成されるキャリア濃度を高くできるため、より強い伝導度変調が実現されている。これは図10に示すように、ソース領域界面にE<sub>s</sub>が形成されることに起因する。そのため従来よりドレイン電流を高くすることが可能となり、その結果電流増幅率を向上できた。

【0062】また、本実施例と従来品とのオフ耐圧を比較測定したところ、従来の素子が250V程度であったのに対し、本実施例に係る素子は350V程度のオフ耐圧が得られることが確認された。さらにゲート・ソース間の逆バイアス時の絶縁耐圧を従来より10V程度向上できた。これはSiCの絶縁破壊電界がシリコンのそれと比較して数倍高いためである。

【0063】以上説明したように本実施例に係る表面ゲ

ート形SIT素子は、従来品より電流増幅率 $h_{FE}$ が優れ、しかも十分なオフ耐圧を有することが理解されよう。

【0064】また、本実施例の表面ゲート形SITは、前記第1実施例と同様、図4の構造を単位構造としてこれを多数並列接続した、いわゆるマルチチャネル構造にしても同様な効果が得られる。

【0065】また、ゲート領域36と、 $n^-$ からなる高抵抗層32の接する面に $p^+$ のSiCを挿入しても、本実施例と同様に、従来の表面ゲート形SITより優れた電流増幅率 $h_{FE}$ が得られることが確認された。

【0066】さらに、高抵抗層32として用いられる $n^-$ 層の材料としてはシリコンに限らず、必要に応じ各種材料、例えば高抵抗なゲルマニウムやシリコンゲルマシウム化合物などを用いても同様な効果を得ることができる。

【0067】また、この高抵抗層32は、 $n^-$ 層として形成されたが、必要に応じ $p^-$ 層として形成しても問題はない。

【0068】また、本実施例に係るSIT素子は、前記第1実施例と同様に、各部の厚さや大きさなどを適宜素子の使用目的に応じ変更してもよく、さらにpチャネル表面ゲート形SIT素子として形成した場合においても、本発明による効果を得ることができる。

#### 【0069】第3実施例

図6には、本発明に係るnチャネル表面ゲート形SIT素子の第3実施例の基本構造が示されている。実施例のSIT素子は、低抵抗半導体基板30として $n^+$ 層を用い、この低抵抗半導体基板30上に、高抵抗層32として20 $\mu$ mの厚さの $n^-$ 層が形成されている。この高抵抗層32の上部には、第1導電形として $n^+$ のソース領域34が形成されている。このソース領域34は、接合深さが $x_j=1\mu$ m、その幅が5 $\mu$ m、その奥行きが5 $\mu$ mに形成されている。

【0070】そして、前記高抵抗層32に、前記ソース領域34を囲むよう深さ3 $\mu$ m、幅2 $\mu$ mの溝38が形成されている。

【0071】本実施例の第1の特徴は、高抵抗層32に接するゲート領域36を、高抵抗層32の深い位置、具体的には溝38の底面付近に高濃度に形成することにある。すなわち、本実施例によれば、ソース領域34を囲む溝38を利用し、この溝38の底面にゲート領域36を拡散で形成する。これにより、前記第1実施例に比べ、ゲート・ソース間のオフ耐圧が前記第1実施例より改善できた。その結果、ゲートへの負のサージ入力があっても、破壊に至ることがない。

【0072】また、本実施例の第2の特徴は、ゲート領域36の面積がソース領域34の面積を越えない構造とすることである。従来、ソースからドレインに流れる電

子による電流の一部がゲート領域に流れていた。本発明が提供する手段により、ソースからゲートに流れる成分を低減することが可能となる。その結果、ゲート電流に対するドレイン電流の変化、すなわち電流増幅率を従来の素子より改善することが可能となった。

【0073】具体的には、本実施例のゲート領域36は、前記溝38の底面に、第2導電型として $p^+$ の低抵抗ポリシリコンを用いて形成されている。ここにおいて、このゲート領域36の寸法は、深さ2 $\mu$ m、幅2 $\mu$ mに形成され、ゲート領域36と高抵抗層32との接触面積が、ソース領域34と高抵抗層32との接触面積より小さくなるよう設定されている。そして、前記ソース領域40、ゲート領域36の表面にはソース電極40、ゲート電極42が設けられ、さらに低抵抗半導体基板30の表面にはソース電極40と対向するようドレイン電極44が設けられている。

【0074】このように構成された本実施例に係る表面ゲート型SIT素子は、前記第1実施例に係る表面ゲート型SIT素子に比べ、電流増幅率 $h_{FE}$ が優れ、さらに十分なオフ耐圧を有するものとなる。電流増幅率は従来のものより60%程度改善された。さらにゲート・ソース間の逆バイアス時の絶縁耐圧は、60V程度と、従来より大幅に向上した。

【0075】また、本実施例に係る表面ゲート型SITは、図7に示すよう、前記SIT素子の単位構造を多数並列接続した、いわゆるマルチチャネル構造にしても同様な効果が得られる。

【0076】なお、本発明は前記実施例に限定されることなく、種々の使用目的に応じて、例えば高抵抗層32として形成された $n^-$ 層の厚さ、ソースおよびゲート領域の面積、厚さなどを適宜変更してもよい。また、nチャネル表面ゲート形SITに限らず、ソース、ドレイン及びゲートの伝導形を逆にしたpチャネル表面ゲート形SITにおいても、本発明による効果を同様に得ることができる。

#### 【0077】第4実施例

図8には、本発明に係るnチャネル表面ゲート形SIT素子の好適な第4実施例の基本構造が示されている。

【0078】なお、本実施例の基本的な素子構造は、前記第3実施例とほぼ対応するため、同一部材には同一符号を付しその説明は省略する。

【0079】本実施例の特徴は、高抵抗層32の表面にソース領域34を設け、このソース領域34を、厚さ0.1 $\mu$ mの $n^+$ の炭化珪素（以下SiCと記す）薄膜34aと、 $n^+$ の多結晶シリコン34bとを用いて構成したことにある。なお、実施例のゲート領域44の接合深さは $x_j=1.5\mu$ mで、 $n^+$ の低抵抗半導体基板32や、 $n^-$ の高抵抗層32にはシリコンを使用している。

【0080】以上の構成とした本実施例に係る表面ゲ



ト形SIT素子は、前記第2実施例に比べ、電流増幅率 $h_{fs}$ がより優れ、しかも十分なオフ耐圧を有することが確認された。

【0081】また、本実施例の表面ゲート形SITは、前記第3実施例と同様、図8の構造を単位構造としてこれを多数並列接続した、いわゆるマルチチャネル構造にしても同様な効果が得られる。

【0082】また、ゲート領域36と、 $n^-$ からなる高抵抗層32の接する面に $p^+$ のSiCを挿入しても、本実施例と同様に、従来の表面ゲート形SITより優れた電流増幅率 $h_{fs}$ が得られることが確認された。

【0083】さらに、高抵抗層32として用いられる $n^-$ 層の材料としてはシリコンに限らず、必要に応じ各種材料、例えば高抵抗なゲルマニウムやシリコンゲルマニウム化合物などを用いても同様な効果を得ることができる。

【0084】また、この高抵抗層32は、 $n^-$ 層として形成されたが、必要に応じ $p^-$ 層として形成しても問題はない。

【0085】また、本実施例に係るSIT素子は、前記第3実施例と同様に、各部の厚さや大きさなどを適宜素子の使用目的に応じ変更してもよく、さらにpチャネル表面ゲート形SIT素子として形成した場合においても、本発明による効果を得ることができる。

#### 【図面の簡単な説明】

【図1】本発明に係る表面ゲート形SIT素子の好適な第1実施例の基本構造を示す斜視説明図である。

【図2】本実施例に係るSIT素子および従来のSIT素子のドレイン電流と電流増幅率との関係を示す特性図である。

【図3】図1に示す構造の表面ゲート形SITを多数並

列接続し、マルチチャネル構造にした場合の実施例の説明図である。

【図4】本発明に係る表面ゲート形SIT素子の好適な第2実施例の基本構造を示す斜視説明図である。

【図5】第2実施例に係るSIT素子および従来のSIT素子のドレイン電流と電流増幅率との関係を示す特性図である。

【図6】本発明に係る表面ゲート型SIT素子の好適な第3実施例の基本構造を示す斜視説明図である。

【図7】図6に示す構造の表面ゲート型SITを多数並列接続し、マルチチャネル構造にした場合の実施例の説明図である。

【図8】本発明に係る表面ゲート型SIT素子の好適な第4実施例の基本構造を示す斜視説明図である。

【図9】従来の一般的な表面ゲート形SIT素子の基本構造を示す斜視説明図である。

【図10】炭化珪素と他の半導体の接合面におけるバンド図である。

#### 【符号の説明】

30 低抵抗半導体基板

32 高抵抗層

34 ソース領域

34a 多結晶シリコン

34b  $n^+$  SiC薄膜

36 ゲート領域

38 溝

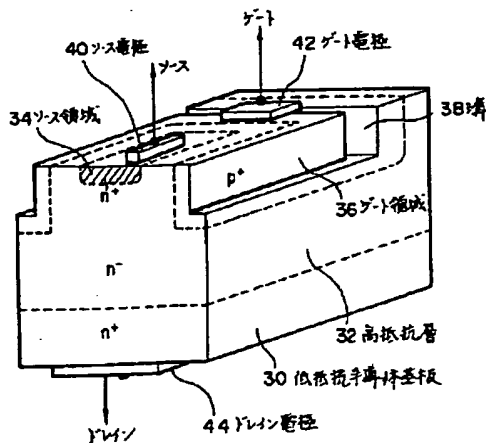
40 ソース電極

42 ゲート電極

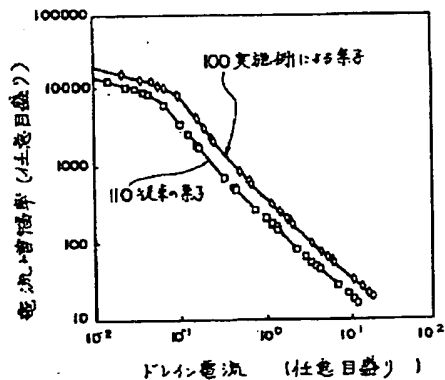
44 ドレイン電極

30 TC006001

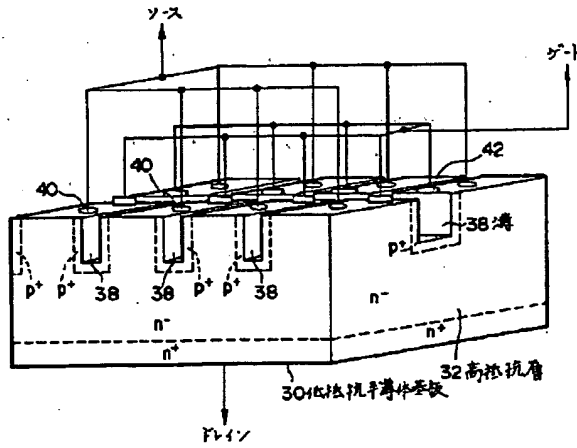
【図1】



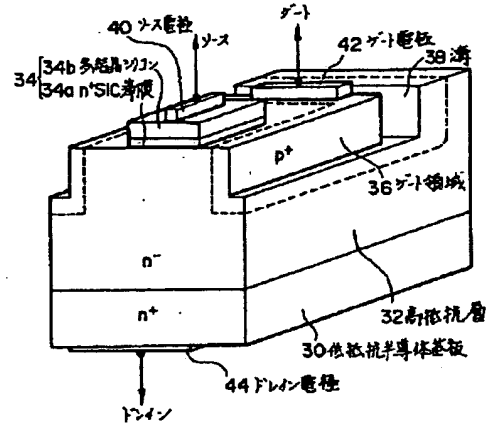
【図2】



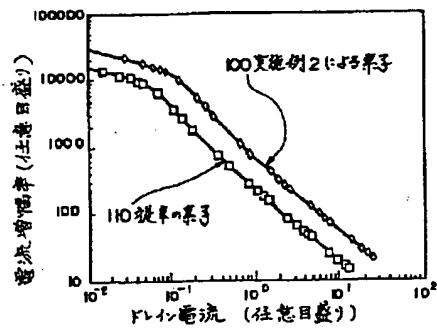
【図3】



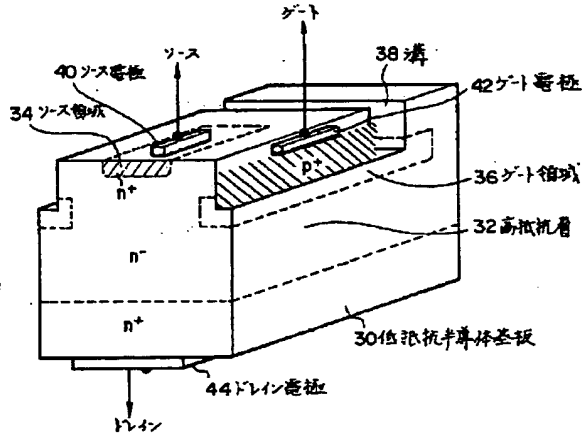
【図4】



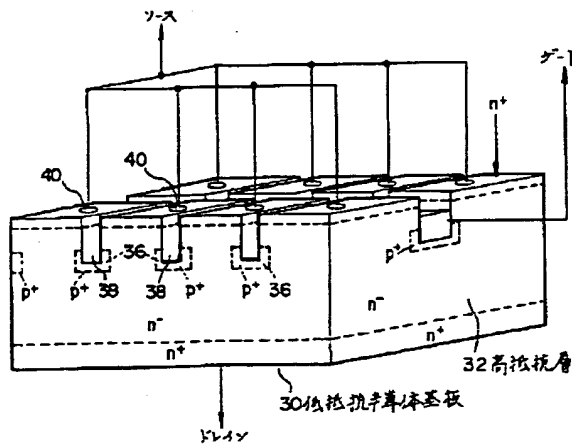
【図5】



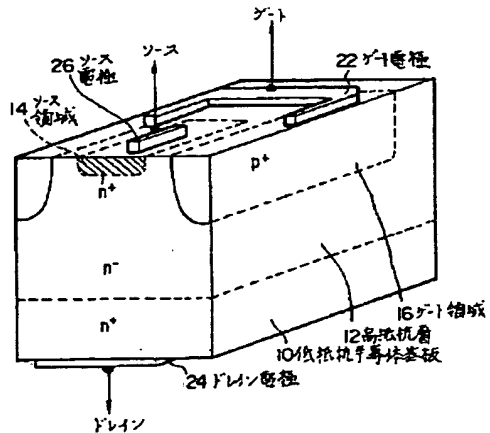
【図6】



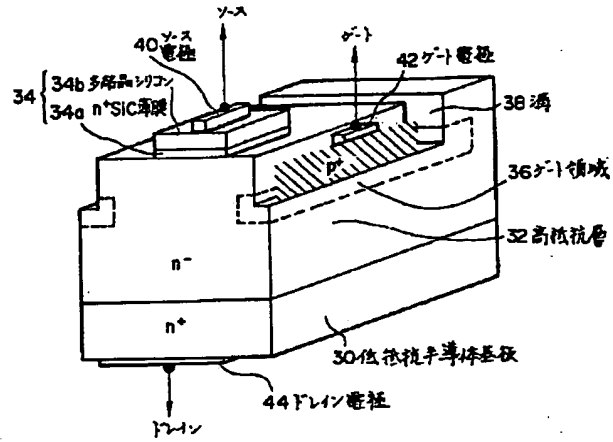
【図7】



【図9】



【図8】



【図10】

